

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-183150

(43)Date of publication of application : 30.06.2000

(51)Int.Cl.

H01L 21/76

H01L 21/316

H01L 21/762

(21)Application number : 10-352716

(71)Applicant : MATSUSHITA ELECTRONICS  
INDUSTRY CORP

(22)Date of filing : 11.12.1998

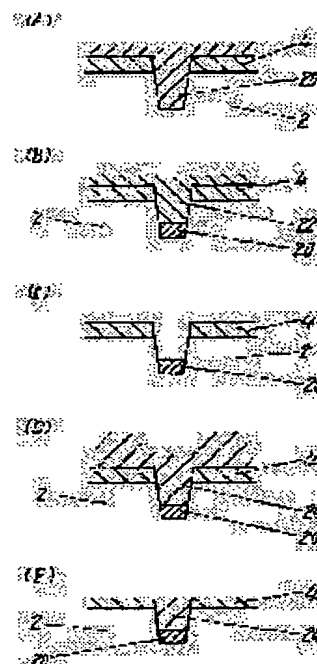
(72)Inventor : IKURA TSUNEO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize a method of manufacturing a semiconductor device in which a trench is embedded with a silicon oxide film without voids.

**SOLUTION:** The base layer 2, on which a trench is formed, is coated with an organic SOG film 20. A part of organic groups of the organic SOG film 20 deposited on the trench part is removed with the oxygen plasma in the depth direction. The part in which the organic group is left in the organic SOG film in this process is located only about 200 nm from the bottom surface within the trench. At least only a part 22 from which the organic group is removed is selectively etched back using the difference in the etching rate. After the aspect of trench is reduced, high density plasma CVD silicon oxide film having excellent embedding property and the characteristic approximated to that of thermally oxidized film is deposited. As a result, the trench may be embedded with an insulating substance without any voids.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-183150

(P2000-183150A)

(43)公開日 平成12年6月30日(2000.6.30)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テームト <sup>*</sup> (参考)
H 0 1 L	21/76	H 0 1 L	L
	21/316		G
			X
	21/762	21/76	D

審査請求 未請求 請求項の数1 O L (全 3 頁)

(21)出願番号 特願平10-352716

(22)出願日 平成10年12月11日(1998.12.11)

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者 伊倉 恒生

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

Fターム(参考) 5F032 AA35 AA44 AA50 AA70 DA04

DA09 DA28 DA33 DA34

5F058 AA10 AD05 AF04 AG04 AH06

BD01 BD04 BD19 BF07 BJ06

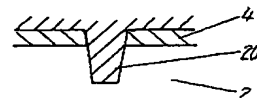
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

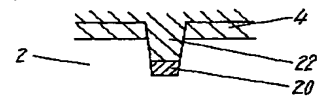
【課題】 シリコン酸化膜でボイド無くトレンチを埋め込む半導体装置の製造方法を提供する。

【解決手段】 トレンチが形成された下地2上に、有機SOG膜20を塗布する。トレンチ部分に堆積した有機SOG膜20の一部の有機基を、深さ方向に対して酸素プラズマにより除去する。この工程で前記有機SOG膜中に有機基が残留している部分は、トレンチ内部の底面から200nmだけになる。エッチレートの違いを利用して少なくとも一部の有機基が除去された部分22のみを選択的にエッチバック除去する。トレンチのアスペクトを減じた後、埋め込み性に優れたおかつ熱酸化膜に近い特性を持つ高密度プラズマCVDシリコン酸化膜を堆積する。これによりトレンチをボイド無く絶縁物質で埋め込むことができる。

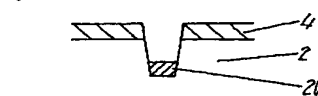
(A)



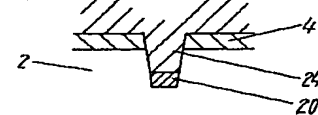
(B)



(C)



(D)



(E)



1

【特許請求の範囲】

【請求項1】半導体基板にトレンチを形成する工程と、前記基板上および前記トレンチ内部に、有機基を有するシリコン酸化膜を形成する工程と、前記基板表面よりも下でトレンチ底部よりも上の部分まで、前記シリコン酸化膜の有機基を除去する工程と、前記有機基を取り去った部分の前記シリコン酸化膜を除去する工程と、高密度プラズマCVD法により、前記トレンチに形成された前記シリコン酸化膜上にあらたにシリコン酸化膜を形成する工程とを有する、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、特にLSIの製造プロセスにおいて、トランジスタ素子分離領域の形成工程に特徴を持つ製造方法に関するものである。

【0002】

【従来の技術】微細化された半導体集積回路を製造する際、トランジスタ素子をトレンチで分離する技術が行われている。さらに微細化が進んだ半導体集積回路ではトレンチのアスペクト比が大きくなり、減圧CVD法や常圧CVD法ではボイドフリーの埋め込みが困難になってきている。アスペクト比が大きくなったトレンチを、絶縁物質で埋め込む方法の提案がなされている。

【0003】図1に『DUMIC 1998 p115〜』に示された方法を説明する。この方法は(A)シリコン基板2にトレンチ形成後回転塗布法によりHSQ膜(hydrodisiloxane)6をトレンチ内部に500Å堆積し、トレンチのアスペクト比を下げる。(B)その後減圧CVDシリコン酸化膜8でトレンチをボイド無く埋め込む方法である。

【0004】

【発明が解決しようとする課題】従来の方法では図2に示すように、(A)シリコン基板よりも上の部分にHSQ膜6が堆積したままで、上層に減圧CVDシリコン酸化膜8を堆積する。(B)後工程で化学的機械研磨、洗浄処理により半導体シリコン基板よりも上のトレンチエッジ部分で、ウェットエッチレートが大きいHSQ膜が、選択的にエッチングされる部分10が発生する。その部分より洗浄液がトレンチ内部に混入し、電気的絶縁性が劣化する可能性がある。

【0005】そして液体を材料とする回転塗布法では、堆積選択性が無いのでウェハ全面に連続的に膜が堆積する。その結果、薄膜化しても半導体シリコン基板よりも上のトレンチエッジ部分にはHSQ膜が堆積し、上記の不具合が懸念される。

【0006】本発明は第1のシリコン酸化膜によりトレンチのアスペクト比を下げ、次いで第2のシリコン酸化膜でボイド無くトレンチを埋め込んだ素子分離領域を有

2

する半導体装置の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するため本発明では、まず半導体基板の素子分離領域を形成し、半導体基板に溝を形成し、前記基板上および前記溝内部に有機基を有するシリコン酸化膜を形成し、前記基板表面よりも下でトレンチ底部よりも上の部分まで、前記シリコン酸化膜の有機基を除去し、前記有機基を取り去った部分の前記シリコン酸化膜を除去し、高密度プラズマCVD法により、前記溝に形成された前記シリコン酸化膜上に、あらたにシリコン酸化膜を形成する。これによりボイド無くトレンチを絶縁物質で埋め込み、素子分離領域を形成することができる。

【0008】

【発明の実施の形態】本発明の一実施例について図3を用いて説明する。

【0009】(A)半導体基板に膜厚150nmのシリコン窒化膜4をハードマスクとして深さ450nmのトレンチが形成された下地2上に、有機SOG膜20を300nm塗布する。回転塗布法では溝部分への堆積膜厚は溝幅に依存し、狭い溝ほど堆積膜厚は大きくなる。この場合有機SOG膜は非トレンチ領域では300nm程度堆積し、0.5μm以下の幅のトレンチではシリコン窒化膜よりも上まで堆積している。

【0010】(B)トレンチ部分に堆積した有機SOG膜20の一部の有機基を、深さ方向に対して約400nm酸素プラズマにより除去する。この工程で前記有機SOG膜中に有機基が残留している部分は、トレンチ内部の底面から約200nmだけになる。

【0011】(C)少なくとも一部の有機基が除去されている部分22は、膜に空孔あるいはSi-OHやH-OHの結合が多くなりエッチレートが大きくなる。この違いを利用して少なくとも一部の有機基が除去された部分22のみを選択的にエッチバック除去する。例えばCHF<sub>3</sub>、CH<sub>4</sub>ガスを1:1程度に混合した、RIE(反応性イオンエッチング)では有機基が除去されたSOGは有機SOGの1.5~2.0倍ほどエッチレートが大きい。よってトレンチ内部のみに有機SOG膜を残留させることは十分可能である。

【0012】(D)トレンチのアスペクトを減じた後、埋め込み性に優れたおかつ熱酸化膜に近い特性を持つHDP(High Density Plasma)CVDシリコン酸化膜24を400nm程度、堆積する。これによりトレンチをボイド無く絶縁物質で埋め込むことができる。また有機SOG膜はトレンチ底部にしか堆積していないので、後工程で加工されるのはHDP-CVDシリコン酸化膜24だけであり、洗浄液の浸食の可能性も無い。

【0013】(E)その後、CMP(化学的機械研磨

3

法)で表面を平坦化し、次にSiNを除去する。

【0014】以上のように、本実施形態では、HDPによりシリコン酸化膜を堆積している。HDPで堆積した膜は、他の方法、例えば普通のプラズマTEOSや、常圧CVD法で堆積したSiO<sub>2</sub>と比較して埋め込み性が良く、また膜質が良い(ウエットエッチレートが小さい)のが特徴である。SOGと比べると、埋め込み性は劣るものの、はるかに膜質が良いのが特徴であり、そのために(トレンチ内部に堆積した有機膜の)キャップ膜としての能力が高くなる。

【0015】

【発明の効果】このように本発明では、高アスペクト比のトレンチをシリコン酸化膜でポイド無く埋め込むことにより、トランジスタ素子分離領域が確実に電氣的に絶縁される。その結果、MOSFET等の半導体装置の\*

4

\*信頼性が向上する。

【図面の簡単な説明】

【図1】従来の素子分離領域形成方法を示す工程断面図

【図2】課題を示す工程断面図

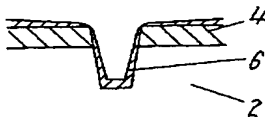
【図3】本実施形態である素子分離領域形成方法を示す工程断面図

【符号の説明】

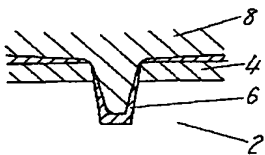
- 2 シリコン基板
- 4 シリコン窒化膜
- 6 HSQ膜
- 8 減圧CVDシリコン酸化膜
- 10 洗浄により選択的に除去された部分
- 20 有機SOG膜
- 22 有機基を除去された有機SOG膜
- 24 HDP-CVDシリコン酸化膜

【図1】

(A)

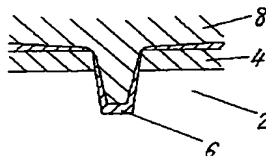


(B)

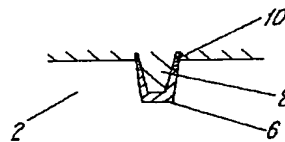


【図2】

(A)

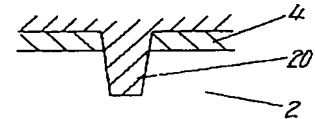


(B)

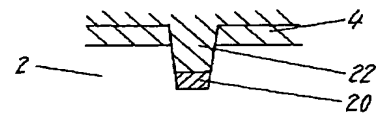


【図3】

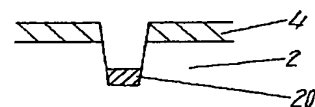
(A)



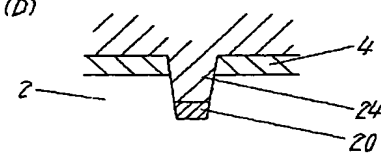
(B)



(C)



(D)



(E)

